

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-368565
 (43)Date of publication of application : 20.12.2002

(51)Int.CI. H03H 7/075
 H03H 7/09
 H03H 7/46

(21)Application number : 2002-034374 (71)Applicant : MURATA MFG CO LTD
 (22)Date of filing : 12.02.2002 (72)Inventor : TSUJIGUCHI TATSUYA

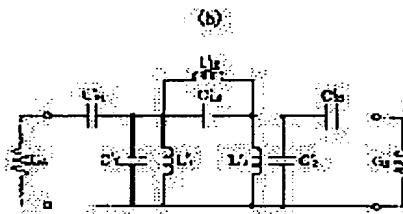
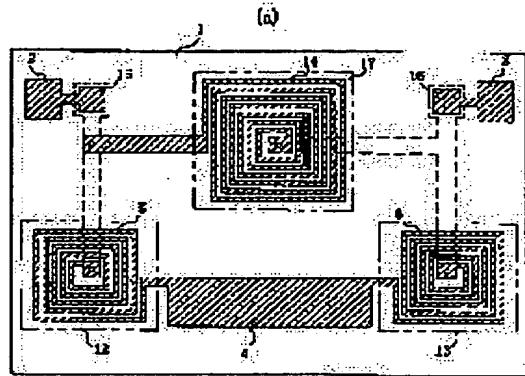
(30)Priority
 Priority number : 2001106441 Priority date : 04.04.2001 Priority country : JP

(54) LUMPED CONSTANT FILTER, ANTENNA MULTICOUPLER AND COMMUNICATION EQUIPMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a lumped constant filter in simple structure having superior band pass characteristics.

SOLUTION: An input terminal 2, an output terminal 3 and a ground electrode 4 are formed on a dielectric film formed on an alumina substrate 1, and a spiral inductor 5 is connected between the input terminal 2 and the ground electrode 4. While, a spiral inductor 6 is connected between the output terminal 3 and the ground electrode 4 as well. MIM capacitors 15 and 16 are respectively inserted between the input terminal 2 and the spiral inductor 5 and between the output terminal 3 and the spiral inductor 6. Besides, a spiral inductor 14 is inserted between the spiral inductors 5 and 6. The spiral inductor has self-inductance and capacitance between the adjacent electrodes and has a function as a parallel LC resonator by performing self-resonance by such inductance and capacitance.



LEGAL STATUS

[Date of request for examination] 30.09.2003
 [Date of sending the examiner's decision of rejection] 10.05.2005
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection] 2005-10724
 [Date of requesting appeal against examiner's decision of rejection] 09.06.2005
 [Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19)日本国特許庁(JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-368565

(P 2002-368565A)

(43)公開日 平成14年12月20日(2002.12.20)

(51) Int. C1. 7
H 0 3 H 7/075
7/09
7/46

識別記号

F I
H 0 3 H 7/075
7/09
7/46

テ-マコ-ト(参考)
5J024

審査請求 未請求 請求項の数 8 O L

(全 10 頁)

(21)出願番号 特願2002-34374(P2002-34374)
(22)出願日 平成14年2月12日(2002.2.12)
(31)優先権主張番号 特願2001-106441(P2001-106441)
(32)優先日 平成13年4月4日(2001.4.4)
(33)優先権主張国 日本(JP)

(71)出願人 000006231
株式会社村田製作所
京都府長岡京市天神二丁目26番10号

(72)発明者 辻口 達也
京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内

(74)代理人 100084548
弁理士 小森 久夫

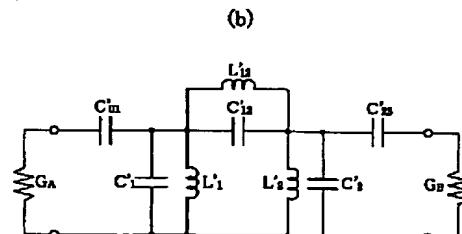
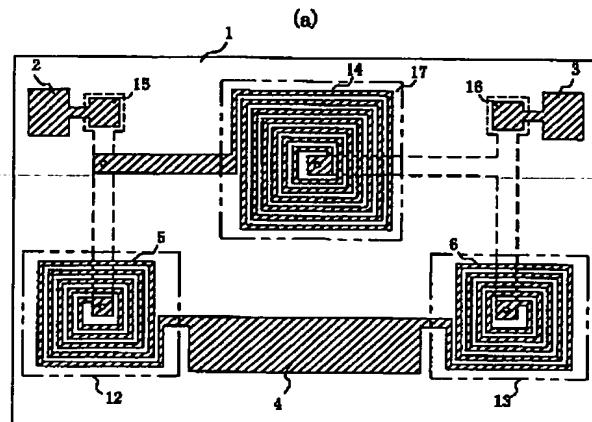
Fターム(参考) 5J024 AA01 BA11 CA03 CA04 DA04
DA29 EA03

(54)【発明の名称】集中定数フィルタ、アンテナ共用器、および通信装置

(57) 【要約】

【課題】 優れた帯域通過特性を有する簡素な構造の集中定数フィルタを構成する。

【解決手段】 アルミナ基板1上に形成された誘電体膜の上には、入力端子2、出力端子3および接地電極4が形成されており、入力端子2と接地電極4との間にスパイラルインダクタ5が接続されている。一方、出力端子3と接地電極4との間にも、スパイラルインダクタ6が接続されている。入力端子2とスパイラルインダクタ5との間、および出力端子3とスパイラルインダクタ6との間にはMIMキャパシタ15、16がそれぞれ挿入されている。また、スパイラルインダクタ5、6の間にスパイラルインダクタ14が挿入されている。スパイラルインダクタは、自己インダクタンスと、隣り合う電極間にキャパシタンスとを有し、これらにより自己共振をして、並列LC共振器としての機能を有する。



【特許請求の範囲】

【請求項1】 誘電体セラミック基板の表面に複数のインダクタンス素子、キャパシタンス素子、入力端子、出力端子および接地電極を回路形成してなる集中定数フィルタにおいて、

前記入力端子および出力端子と前記接地電極間に接続される複数の並列素子を、スパイラル形状に形成した電極のインダクタンスと、該スパイラル形状に形成した電極の互いに隣接する電極同士の間に生じるキャパシタンスとによる並列LC共振器として構成し、

前記並列素子間に挿入される複数の直列素子を、スパイラル形状に形成した電極のインダクタンスと、該スパイラル形状に形成した電極の互いに隣接する電極同士の間に生じるキャパシタンスとによる並列LC共振器として構成した集中定数フィルタ。

【請求項2】 前記直列素子を構成するスパイラル形状に形成した電極の巻き数を所定の値に設定することにより、前記並列LC共振器の自己共振により得られる減衰極の周波数を定めた請求項1に記載の集中定数フィルタ。

【請求項3】 前記直列素子を構成するスパイラル形状に形成した電極の線路幅と線路間隔を所定の値に設定することにより、前記並列LC共振器の自己共振により得られる減衰極の周波数を定めた請求項1または請求項2に記載の集中定数フィルタ。

【請求項4】 前記直列素子を構成するスパイラル形状に形成した電極の巻き数を、該直列素子に隣り合う二つの前記並列素子を構成するスパイラル形状に形成した電極の巻き数よりも多くした請求項1～3のいずれかに記載の集中定数フィルタ。

【請求項5】 前記入力端子および出力端子と前記並列素子との間に挿入される前記直列素子の少なくとも一つを、前記誘電体セラミック基板上に下部電極、誘電体膜、上部電極を順次形成してなるキャパシタンス素子で構成した請求項1～4のいずれかに記載の集中定数フィルタ。

【請求項6】 前記スパイラル形状に形成した電極が、超電導性を有する薄膜である請求項1～5のいずれかに記載の集中定数フィルタ。

【請求項7】 請求項1～6のいずれかに記載の集中定数フィルタを備えたアンテナ共用器。

【請求項8】 請求項1～6のいずれかに記載の集中定数フィルタまたは請求項7に記載のアンテナ共用器を備えた通信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、誘電体基板の表面にスパイラルインダクタを回路形成した集中定数フィルタ、アンテナ共用器、および通信装置に関するものである。

【0002】

【従来の技術】従来の集中定数フィルタについて、図14を参照して説明する。

【0003】図14の(a)は集中定数フィルタの平面図であり、図14の(b)はその等価回路図である。

【0004】図14の(a)において、1はアルミナ基板、2は入力端子、3は出力端子、4は接地電極、5、6はスパイラルインダクタ、7～11はインターディジタルキャパシタ、12、13はLC共振器である。また、アルミナ基板1上には下部電極、誘電体膜、上部電極が順に積層されており、図中の実線で描かれた斜線部は上部電極を、破線で囲まれた部分は下部電極をそれぞれ示している。また、図14の(b)において、 G_A 、 G_B は負荷コンダクタンス、 L_1 、 L_2 は並列インダクタンス、 C_1 、 C_2 は並列キャパシタンス、 C_{01} は入力キャパシタンス、 C_{23} は出力キャパシタンス、 C_{12} は直列キャパシタンスである。

【0005】アルミナ基板1上に形成された誘電体膜の上には、入力端子2、出力端子3および接地電極4が形成されている。また、スパイラル形状に上部電極を形成したスパイラルインダクタ5と、対向する電極同士が櫛歯状に形成したインターディジタルキャパシタ7とが並列に形成されてLC共振器12が形成されている。このLC共振器12は入力端子2と接地電極4との間に接続されている。一方、出力端子3と接地電極4との間にも同様に、スパイラルインダクタ6とインターディジタルキャパシタ8とからなるLC共振器13が接続されている。入力端子2とLC共振器12との間にはインターディジタルキャパシタ10が挿入されており、出力端子3とLC共振器13との間にもインターディジタルキャパシタ11が挿入されている。また、LC共振器12とLC共振器13との間にインターディジタルキャパシタ9が挿入されている。

【0006】このように回路を構成することにより、図14の(b)に示すように L_1 、 C_1 からなるLC共振器と L_2 、 C_2 からなるLC共振器とをキャパシタンス C_{12} で容量結合し、入力キャパシタンス C_{01} 、出力キャパシタンス C_{23} を備えた、2段の共振器からなる集中定数フィルタを構成する。

【0007】

【発明が解決しようとする課題】ところが、このような従来の集中定数フィルタについては、次に示す解決すべき課題があった。

【0008】図14に示す集中定数フィルタにおいては、フィルタを構成する回路素子数が多く、各回路素子の構成要素である線路幅、線路間隔がフィルタの特性に大きく影響する。それは、インターディジタルキャパシタでは櫛歯数、櫛歯を形成する線路幅、および線路間隔であり、スパイラルインダクタでは、スパイラルの巻き数、線路幅、および線路間隔である。このため、これら

複数の構成要素を所定の公差内で形成することは、構成要素が増えるほど難しくなり、これらから構成されるフィルタの歩留まりは悪かった。

【0009】また、所定の通過特性は得られるものの、フィルタのQ値をさらに向上しようとする場合、通過周波数帯域の高域側または低域側に減衰極を設ける方法がある。しかし、従来の集中定数フィルタにおいては、新たに回路素子を形成しなければ、減衰極を設けることができなかつた。

【0010】この発明の目的は、優れた帯域通過特性を有する簡素な構造の集中定数フィルタ、アンテナ共用器およびこれらを備えた通信装置を構成することにある。

【0011】

【課題を解決するための手段】この発明は、入力端子および出力端子と接地電極間に接続される複数の並列素子を、スパイラル形状に形成した電極のインダクタンスとスパイラル形状に形成した電極の互いに隣接する電極同士の間に生じるキャパシタンスとによる並列LC共振器で構成する。また、並列素子間に挿入される複数の直列素子を、スパイラル形状に形成した電極のインダクタンスとスパイラル形状に形成した電極の互いに隣接する電極同士の間に生じるキャパシタンスとによる並列LC共振器で構成して、これらの回路素子を備えて集中定数フィルタを構成する。

【0012】また、この発明は、直列素子を構成するスパイラル形状に形成した電極の巻き数を所定の値に設定することにより、並列LC共振器の自己共振により得られる減衰極の周波数を定めて集中定数フィルタを構成する。

【0013】また、この発明は、直列素子を構成するスパイラル形状に形成した電極の線路幅と線路間隔を所定の値に設定することにより、並列LC共振器の自己共振により得られる減衰極の周波数を定めて集中定数フィルタを構成する。

【0014】また、この発明は、直列素子を構成するスパイラル形状に形成した電極の巻き数を、直列素子に隣り合う並列素子を構成するスパイラル形状に形成した電極の巻き数よりも多くして集中定数フィルタを構成する。

【0015】また、この発明は、入力端子および出力端子と並列素子との間に挿入される直列素子の少なくとも一つを、誘電体セラミック基板上に下部電極、誘電体膜、上部電極を順次形成してなるキャパシタンス素子として集中定数フィルタを構成する。

【0016】また、この発明は、スパイラル形状に形成した電極を、超電導性を有する薄膜で形成して集中定数フィルタを構成する。

【0017】また、この発明は、前記集中定数フィルタを備えてアンテナ共用器を構成する。

【0018】また、この発明は、前記集中定数フィルタ

または前記アンテナ共用器を備えて通信装置を構成する。

【0019】

【発明の実施の形態】第1の実施形態に係る集中定数フィルタの構成について、図1～図10を参照して説明する。

【0020】図1の(a)は集中定数フィルタの平面図であり、図1の(b)はその等価回路図である。

【0021】図1において、1は誘電体セラミック基板であるアルミナ基板、2は入力端子、3は出力端子、4は接地電極、5, 6, 14はスパイラルインダクタ、15, 16はアルミナ基板1の表面に下部電極、誘電体膜、上部電極を順次形成してなるキャパシタ(以下「MIMキャパシタ」という。)、12, 13, 17はLC共振器である。また、アルミナ基板1上には下部電極、誘電体膜、上部電極が順に積層されており、図中の実線で描かれた斜線部は上部電極を、破線で囲まれた部分は下部電極をそれぞれ示している。また、図1の(b)において、 G_A , G_B は負荷コンダクタンス、 L'_1 , L'_2 は並列インダクタンス、 C'_1 , C'_2 は並列キャパシタンス、 C'_{01} は入力キャパシタンス、 C'_{23} は出力キャパシタンス、 L'_{12} は直列インダクタンス、 C'_{12} は直列キャパシタンスである。

【0022】アルミナ基板1上に形成した誘電体膜の上には、入力端子2、出力端子3および接地電極4が形成されている。また、上部電極をスパイラル形状に形成した4.75巻きのスパイラルインダクタ5が形成され、入力端子2と接地電極4との間に接続されている。一方、出力端子3と接地電極4との間にも同様に、4.75巻きのスパイラルインダクタ6が接続されている。

【0023】入力端子2とスパイラルインダクタ5との間にMIMキャパシタ15が挿入されており、出力端子3とスパイラルインダクタ6との間にもMIMキャパシタ16が挿入されている。また、スパイラルインダクタ5, 6の間に6.5巻きのスパイラルインダクタ14が挿入されている。前記それぞれのスパイラルインダクタのライン/スペース比(L/S)は20μm/20μmである。

【0024】スパイラルインダクタは、自己インダクタンスを有するとともに、巻いている隣り合う電極間の静電容量に起因するキャパシタンスを有する。よって、スパイラルインダクタは、自己の持つインダクタンス成分とキャパシタンス成分とにより自己共振をして、並列LC共振器としての機能を有している。

【0025】よって、図1の(a)に示した回路は、図1の(b)に示すように L'_1 , C'_1 からなる並列LC共振器と、 L'_2 , C'_2 からなる並列LC共振器とを、 L'_{12} , C'_{12} からなる並列LC共振器で結合し、入力キャパシタンス C'_{01} 、出力キャパシタンス C'_{23} を備えた、2段の並列LC共振器からなるチェビシェフフィル

タを構成する。

【0026】一般に、n段の帯域通過フィルタを構成する場合、Jインバータを用いて表示すると、図2のよう に表される。図2はJインバータを用いたn段の帯域通過フィルタ(BPF)の回路図である。また、Jインバータの各素子値は、以下のように表される。

【0027】

【数1】

$$b_r = \frac{\omega_0}{2} \frac{dB_r(\omega)}{d\omega} \Big|_{\omega=\omega_0}$$

【0028】

【数2】

$$J_{01} = \sqrt{\frac{G_A b_1 \cdot BW}{g_0 g_1 f_0}}, J_{n,n+1} = \sqrt{\frac{G_A b_n \cdot BW}{g_n g_{n+1} f_0}}$$

$$b_r = \frac{\omega_0}{2} \frac{d\left(\omega C_r - \frac{1}{\omega L_r}\right)}{d\omega} \Big|_{\omega=\omega_0} = \frac{\omega_0}{2} \left(C_r + \frac{1}{\omega_0 L_r} \right) = \omega_0 C_r$$

【0033】ここで、並列共振器のキャパシタンスは C_r 、インダクタンスは L_r としている。

【0034】一方、Jインバータを実現する回路として、図3に示す回路が与えられる。

【0035】図3の(a)はJインバータを実現するインダクタンス素子を用いた回路を示した図であり、図3の(b)はキャパシタンス素子を用いた回路を示した図である。

【0036】共振器間の結合を誘導性結合として設計を行うと、図2に示したJインバータは図3の(a)に示した回路に置き換えられる。また、入出力部と共振器間の結合を容量性結合として設計を行うと、図2に示したJインバータは図3の(b)に示した回路に置き換えられる。

【0037】図4は変換後の回路図である。

【0038】入出力部の並列容量 C_{01} は負の値であるため、このままでは実現することができない。ここで、図4のA端から入力側をみたインピーダンスを等しくするように、以下に示す式で与えられる直列キャパシタンス C'_{01} と並列キャパシタンス C''_{01} とに置き換える。

【0039】

【数5】

$$C'_{01} = \frac{1}{\omega_c} \frac{J_{01}}{\sqrt{1 - \frac{J_{01}^2}{G_A^2}}}, C''_{01} = -\frac{J_{01}}{\omega_c} \sqrt{1 - \frac{J_{01}^2}{G_A^2}}$$

【0040】一段目の共振器では、入出力部の並列キャパシタンス C''_{01} は共振器を構成する並列キャパシタンス C' に合成することができ、共振器間の並列インダクタンス $-M_{1,2}$ は共振器を構成する並列インダクタンス

10

【0029】ここで、nはフィルタの段数、 f_0 は減衰域の中心周波数、BWは通過帯域幅、 g_r はプロトタイプフィルタの素子値、 $B_r(\omega)$ は共振器のサセプタンス、 G_A は負荷コンダクタンスである。

【0031】並列LC共振器の場合、【数1】のサセプタンススロープ b_r は以下の式で表される。

【0032】

【数4】

20 L'1に合成することができる。

【0041】よって、並列キャパシタンス C'_{01} と並列インダクタンス L'_{01} を以下の式のように与えることにより、2段のフィルタを構成できる。

【0042】

【数6】

$$C'_1 = C_1 - C''_{01}, \quad 1/L'_{01} = 1/L_1 - 1/M_{1,2}$$

【0043】ここで、【数6】から、 $M_{1,2} < L_1$ であると、 $L'_{01} < 0$ となり、実際にフィルタを構成することができない。よって、 $M_{1,2} > L_1$ の関係、すなわち、直列素子を構成するスパイラルインダクタの巻き数を、並列素子を構成するスパイラルインダクタの巻き数よりも多くしなければならない。

【0044】このような変換を行うことにより、図4に示す回路を図5に示す等価回路に変換することができる。図5は2段の並列共振器を誘導性結合させた帯域通過フィルタの回路図である。

【0045】このように構成した帯域通過フィルタは、インダクタンス値が大きくなると、インダクタの影響を受けやすくなり、高域通過フィルタとしての特性が強くなる。このため、通過周波数帯域の高域側で減衰特性が悪化する。

【0046】ここで、共振器間に接続されたインダクタンスに並列にキャパシタンスを接続することにより、これらが共振器となり、入出力間に直列に挿入される共振器を設ける。この共振器の中心周波数でのインピーダンスは、前述のインダクタンスのインピーダンスと一致するように設定する。

【0047】この共振器の自己共振周波数は以下の式で与えられる。

50 【0048】

【数7】

$$f_p = \frac{1}{2\pi\sqrt{L_{12} C_{12}}}$$

【0049】ここで、 f_p は共振器の自己共振周波数である。

【0050】この直列共振器の共振周波数を所定の周波数となるように設定することにより、通過帯域特性を改善することができる。

【0051】このように、図1の(b)に示す2段の共振器を用いた集中定数フィルタを構成する。

【0052】一方、スパイラルインダクタの特性について、以下に説明する。

【0053】図6はスパイラルインダクタの巻き数と無負荷Qとの関係を示した図である。ここで、測定周波数は2GHzであり、スパイラルインダクタはアルミナ基板状にL/Sが20μm/20μmで形成されている。

【0054】また、このスパイラルインダクタを使用して並列LC共振器を構成した場合のインダクタの巻き数とインダクタの面積と無負荷Qの関係を表1に示す。

【0055】

【表1】

巻き数	インダクタの面積(mm ²) ²	共振器の無負荷Q
0.5	0.029	17.54
1.5	0.062	12.97
2.5	0.109	14.86
3.5	0.168	19.65
4.5	0.240	26.82
5.5	0.325	35.40

【0056】インダクタの巻き数を変化に対して、インダクタの面積を変化させることでキャパシタンスを変化させて、共振周波数を2GHzに固定して計算を行った。これらの結果によれば、スパイラルインダクタの巻き数が増加すると共振器の無負荷Qが増加することがわかる。

【0057】ここで、インダクタの巻き数が少ない領域でも共振器の無負荷Qが増加しているが、この領域ではスパイラルインダクタの線路間による浮遊容量がとれず、実現が不可能である。

【0058】次に、スパイラルインダクタの巻き数とインダクタンス、浮遊容量および自己共振周波数との関係について示す。また、スパイラルインダクタの線間距離とインダクタンス、浮遊容量および自己共振周波数との関係について示す。

【0059】図7の(a)はスパイラルインダクタの巻き数と浮遊容量およびインダクタンスとの関係を示した図であり、図7の(b)はスパイラルインダクタの巻き

数と自己共振周波数との関係を示した図である。スパイラルインダクタのL/Sはどの巻き数であっても同じ(20μm/20μm)である。

【0060】また、図8の(a)はスパイラルインダクタの線間距離と浮遊容量およびインダクタンスとの関係を示した図であり、図8の(b)はスパイラルインダクタの線間距離と自己共振周波数との関係を示した図である。スパイラルインダクタの線幅は20μmである。

【0061】図7に示すように、L/Sが一定であれば、スパイラルインダクタの巻き数が増加すると、浮遊容量、インダクタンスともに増加する。よって、スパイラルインダクタの自己共振周波数は変化する。

【0062】また、図8に示すように、線幅が20μmと一定で、線間距離を広くすると、浮遊容量、インダクタンスともに増加する。よって、スパイラルインダクタの自己共振周波数は変化する。

【0063】このように、スパイラルインダクタの巻き数、L/Sを変化させることで、スパイラルインダクタの自己共振周波数を所望の特性となるように変化させることができる。

【0064】よって、スパイラルインダクタを前述のフィルタにおける直列素子として用い、L/Sを定めることにより、減衰極周波数を定めることができる。

【0065】前述の方法で所望の特性となるように設計と構成とを行った2段の帯域通過フィルタの周波数特性を図9および図10に示す。

【0066】図9は帯域通過フィルタの周波数特性のシミュレーション結果であり、図10は本発明によるフィルタの周波数特性を実測した結果である。

【0067】図9において、実線は直列素子がキャパシタンスのみのフィルタの特性曲線であり、破線は直列素子が並列LC共振器であるフィルタの特性曲線である。

【0068】図9に示すように、直列素子がキャパシタンスのみのフィルタは、通過帯域の高域側の特性曲線がなだらかになってしまい、高域側の信号を減衰しないため、高域通過の特性を発生してしまう。一方、直列素子が並列LC共振器であるフィルタは、通過帯域の高域側に減衰極が発生するため、高域側の減衰量が増加し、帯域通過フィルタとしての周波数特性が向上する。

【0069】また、前記減衰極は、直列素子である並列LC共振器の自己共振周波数によって決定されるので、この並列LC共振器を構成するスパイラルインダクタの巻き数およびL/Sを所望の自己共振周波数が得られるように設定することにより、減衰極の位置を変化させて、通過帯域特性を制御することができる。

【0070】このような構成とすることにより、少ない回路素子で優れた特性を有する帯域通過フィルタを形成することができる。

【0071】また、入出力部のキャパシタンス素子をIMキャパシタにすることにより、キャパシタンス素子

の面積を小さくすることができる。よって、フィルタ全体を簡素で省スペースに形成することができる。

【0072】なお、本実施例では、減衰極を通過帯域の高域側に形成するように設計したが、直列素子であるスパイラルインダクタの浮遊容量を増加するように設計することにより、通過帯域の低域側に減衰極を形成することができる。よって、低域側の特性を改善することができる。

【0073】また、本実施例では、入出力部のキャパシタンス素子をMIMキャパシタとしたが、インターディジタル型のキャパシタを使用してもよい。また、入出力部のJインバータをインダクタ回路に変換し、そのインダクタとしてスパイラルインダクタを用いてもよい。

【0074】また、本実施例では、方形状のスパイラルインダクタを用いているが、円状のスパイラルインダクタを用いてもよい。

【0075】また、上部電極および下部電極をYB₂Cu₃O_{7-x}等の酸化物超電導体で形成し、誘電体セラミック基板および誘電体膜をMgO等の低誘電損失の基板で形成することにより、超電導体を用いた集中定数フィルタを構成することができる。このような集中定数フィルタを、転移温度以下で使用することにより、電極の導体損をなくすことができ、集中定数フィルタの挿入損失を大幅に改善することができる。また、導体損失がなくなることにより、スパイラルインダクタを小型化でき、小型の集中定数フィルタを構成することができる。

【0076】次に、第2の実施形態に係るアンテナ共用器について、図11を参照して説明する。

【0077】図11はアンテナ共用器の平面図である。図11において、101はアルミナ基板、102はTX端子、103はRX端子、104はアンテナ端子、105、106は接地電極、107～112はスパイラルインダクタ、113～116はMIMキャパシタ、117、118はフィルタ回路である。また、アルミナ基板101の表面には下部電極、誘電体膜、上部電極が順に積層されており、図中の実線で描かれた斜線部は上部電極を、破線で囲まれた部分は下部電極をそれぞれ示している。図11に示すアンテナ共用器は、二つのフィルタ117、118と、これにそれぞれ接続するアンテナ端子104と、フィルタ117に接続するTX端子102と、フィルタ118に接続するRX端子103とから構成される。アンテナ端子104、TX端子102、RX端子103はそれぞれ上面電極で形成されている。

【0078】フィルタ117、118は、所望の特性が得られるように、各スパイラルインダクタの巻き数、線幅、線間距離が決められており。他の構成は第1の実施形態に係るフィルタと同じ構成である。

【0079】TX端子102から入力された信号は、TX側フィルタ117にて不要周波数成分が除去され、アンテナ端子104を介してアンテナから発信される。一

方、アンテナで受信され、アンテナ端子104から入力された信号は、RX側フィルタ118にて不要周波数成分が除去されて、RX端子から外部回路に伝送される。このようにして、一つの回路網でTX側、RX側の機能を備えたアンテナ共用器を構成する。

【0080】ここで、TX側フィルタ117における並列接続された2段の共振器を構成するスパイラルインダクタ107、108の巻き数は、RX側フィルタ118のスパイラルインダクタ109、110の巻き数よりも多く設定する。このことにより、TX側フィルタ117の通過帯域の中心周波数をRX側フィルタ118よりも低周波数側に設定する。

【0081】一方、TX側フィルタ117における直列素子であるスパイラルインダクタ111は、そのインダクタンス値が小さくなるように巻き数を少なく設定することにより、減衰極を通過帯域の高域側に形成し、通過帯域の高域側の減衰曲線を急峻にする。また、RX側フィルタ118における直列素子であるスパイラルインダクタ112は、その浮遊容量が大きくなるように巻き数を多く設定することにより、減衰極を通過帯域の低域側に形成し、通過帯域の低域側の減衰曲線を急峻にする。

【0082】図12はアンテナ共用器の周波数特性図である。図12において、細線は直列素子がキャパシタンスのみの場合であり、太線は直列素子が並列LC共振器である場合である。

【0083】図12に示すように、TX側フィルタの通過帯域が、RX側フィルタの通過帯域より低域となるように、TX側フィルタの通過帯域とRX側フィルタの通過帯域とが隣り合って設定される。ここで、TX側フィルタは、通過帯域の高域側に減衰極Aが存在するため、高域側の減衰特性が急峻となり、RX側の信号を十分に減衰する。一方、RX側フィルタは、逆に通過帯域の低域側に減衰極Bが存在するため、低域側の減衰特性が急峻となり、TX側の信号を十分に減衰する。

【0.08.4】このような構成とすることに、TX側フィルタとRX側フィルタとを備え、互いの通過帯域における周波数成分を十分に減衰するアンテナ共用器を構成することができる。

【0085】また、各フィルタの共振器がスパイラルインダクタのみで構成されているので、簡素な構造でアンテナ共用器を構成できる。

【0086】次に、第3の実施形態に係る通信装置について、図13を参照して説明する。図13は、通信装置のブロック図である。

【0087】図13において、ANTは送受信アンテナ、DPXはデュプレクサ、BPFa、BPFb、BPFcはそれぞれ帯域通過フィルタ、AMPa、AMPbはそれぞれ増幅回路、MIXa、MIXbはそれぞれミキサ、OSCは発振器、DIVは分周器（シンセサイザ）である。MIXaはDIVから出力される周波数信

号を I F 信号で変調し、B P F a は送信周波数の帯域のみを通過させ、A M P a はこれを電力増幅してD P X を介しA N T より送信する。A M P b はD P X から出力される信号を増幅させ、B P F b はA M P b からの出力信号のうち受信周波数帯域のみを通過させる。M I X b はB P F c より出力される周波数信号と受信信号とをミキシングして中間周波信号 I F を出力する。

【0088】図13に示した帯域通過フィルタB P F a, B P F b, B P F c は、図1に示した構造の集中定数フィルタを用いることができ、デュプレクサは図11に示した構造のアンテナ共用器を用いることができる。このようにして全体に簡素な構造で優れた通信特性を有する通信装置を構成することができる。

【0089】

【発明の効果】この発明によれば、入力端子および出力端子と接地電極間に接続される複数の並列素子を、スパイラル形状に形成した電極のインダクタンスとスパイラル形状に形成した電極の互いに隣接する電極同士の間に生じるキャパシタンスとによる並列L C 共振器で構成し、また、並列素子間に挿入される複数の直列素子を、スパイラル形状に形成した電極のインダクタンスとスパイラル形状に形成した電極の互いに隣接する電極同士の間に生じるキャパシタンスとによる並列L C 共振器で構成して、これらの回路素子を備えることにより、簡素な構造で優れた通過帯域特性を有する集中定数フィルタを構成することができる。

【0090】また、この発明によれば、直列素子を構成するスパイラル形状に形成した電極の巻き数、線路幅および線路間隔を所定の値に設定することにより、所望の位置に減衰極を生じさせて、所望の通過帯域特性を有する集中定数フィルタを構成することができる。

【0091】また、この発明によれば、直列素子を構成するスパイラル形状に形成した電極の巻き数を、直列素子に隣り合う並列素子を構成するスパイラル形状に形成した電極の巻き数よりも多くすることにより、簡素な構造で優れた通過帯域特性を有する集中定数フィルタを構成することができる。

【0092】また、この発明によれば、入力端子および出力端子と並列素子との間に挿入される直列素子の少なくとも一つを誘電体セラミック基板上に下部電極、誘電体膜、上部電極を順次形成してなるキャパシタンスとすることにより、簡素な構造の集中定数フィルタを構成することができる。

【0093】また、この発明によれば、スパイラル形状に形成した電極を、超電導性を有する薄膜で形成することにより、転移温度以下の環境で、挿入損失の非常に少ない集中定数フィルタを構成することができる。また、電極の導体損が殆どなくなることにより、小型の集中定数フィルタを構成することができる。

【0094】また、この発明によれば、前記集中定数フ

ィルタを備えることにより、送信側と受信側とで互いの通過帯域における減衰量を十分に得られる、優れた減衰特性のアンテナ共用器を簡素な構造で構成することができる。

【0095】また、この発明によれば、前記集中定数フィルタまたは前記アンテナ共用器を備えることにより、優れた通信特性を有する通信装置を簡素な構造で構成することができる。

【図面の簡単な説明】

10 【図1】第1の実施形態に係る集中定数フィルタの平面図および等価回路図

【図2】Jインバータを用いたn段の帯域通過フィルタの回路図

【図3】Jインバータ回路を実現するインダクタンス素子を用いた回路およびキャパシタンス素子を用いた回路の回路図

【図4】Jインバータ回路をインダクタンス素子およびキャパシタンス素子に置き換えたn段の帯域通過フィルタの回路図

20 【図5】2段の並列共振器が誘導性結合した帯域通過フィルタの回路図

【図6】スパイラルインダクタの巻き数と無負荷Qとの関係を示した図

【図7】スパイラルインダクタの巻き数と浮遊容量およびインダクタンスとの関係を示した図、およびスパイラルインダクタの巻き数と自己共振周波数との関係を示した図

30 【図8】スパイラルインダクタの線間距離と浮遊容量およびインダクタンスとの関係を示した図、およびスパイラルインダクタの線間距離と自己共振周波数との関係を示した図

【図9】帯域通過フィルタの周波数特性のシミュレーション結果を示した図

【図10】帯域通過フィルタの周波数特性を実測した結果を示した図

【図11】第2の実施形態に係るアンテナ共用器の平面図

【図12】アンテナ共用器の周波数特性図

【図13】第3の実施形態に係る通信装置のブロック図

40 【図14】従来の集中定数フィルタの平面図および等価回路図

【符号の説明】

1, 101-アルミナ基板

2-入力端子

3-出力端子

4, 105, 106-接地電極

5, 6, 14, 107~112-スパイラルインダクタ
7~11-インターディジタルキャパシタ

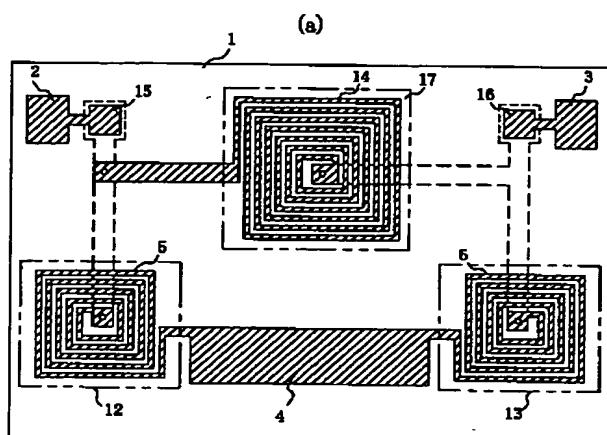
12, 13, 17-L C 共振器

15, 16, 113~116-M I M キャパシタ

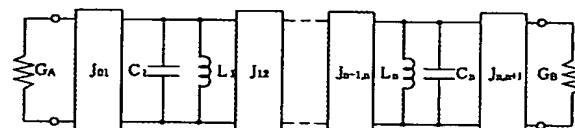
102-TX端子
103-RX端子

104-アンテナ端子
117, 118-フィルタ回路

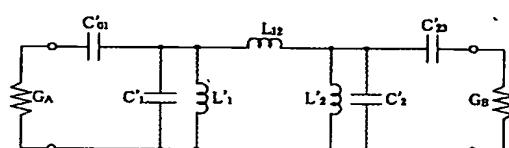
(☒ 1)



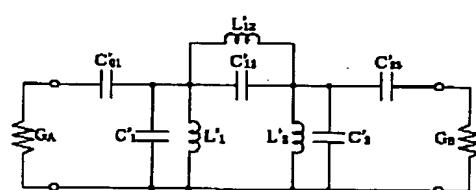
(図2)



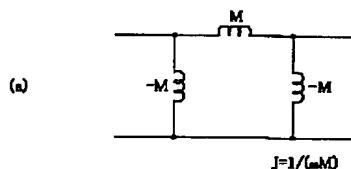
【図5】



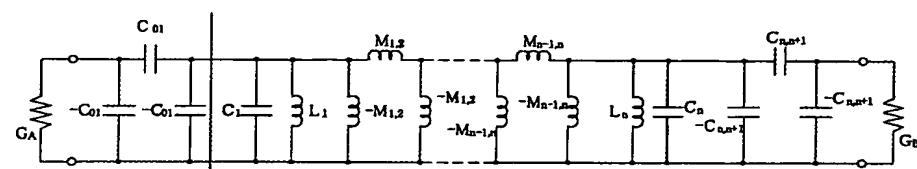
61



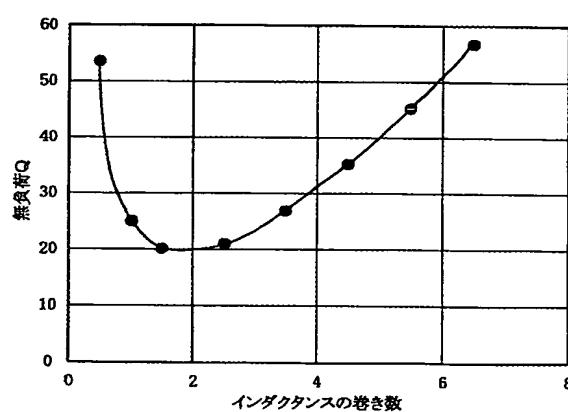
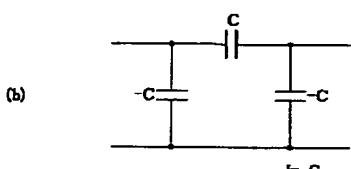
【图3】



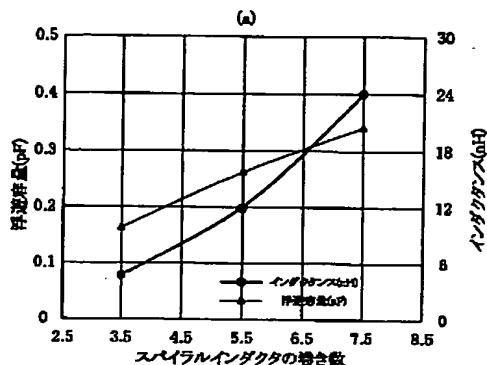
【四】



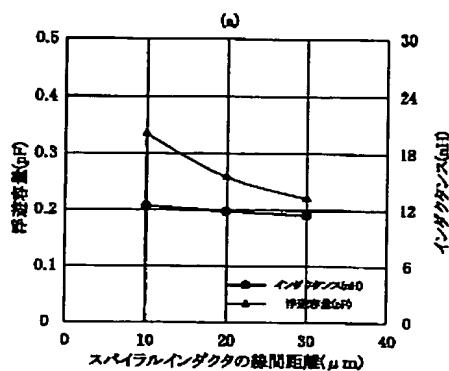
【図6】



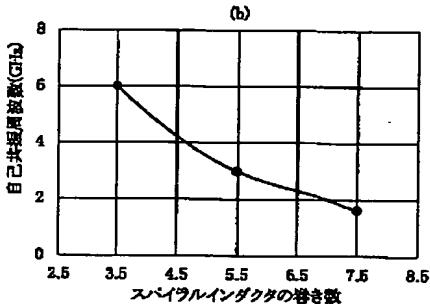
【図7】



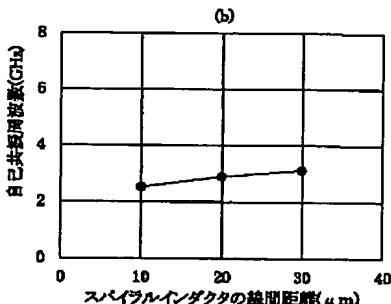
【図8】



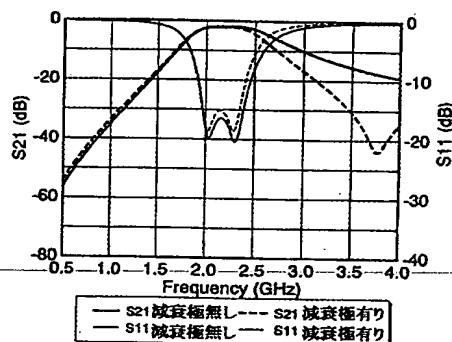
(b)



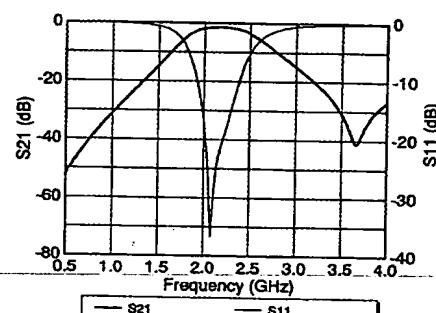
(b)



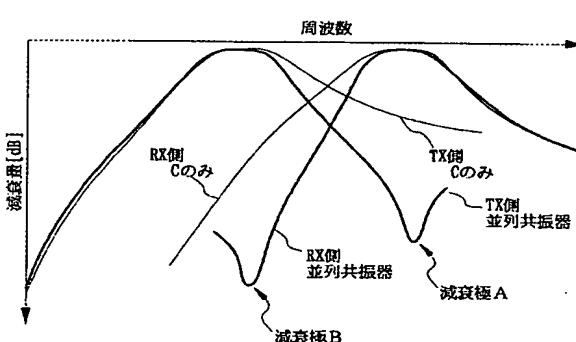
【図9】



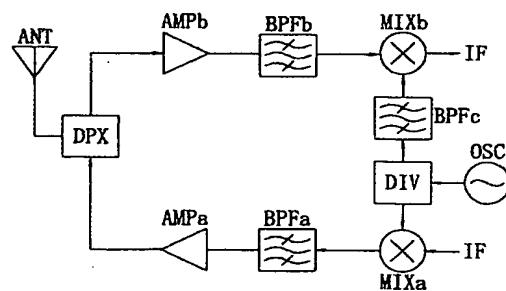
【図10】



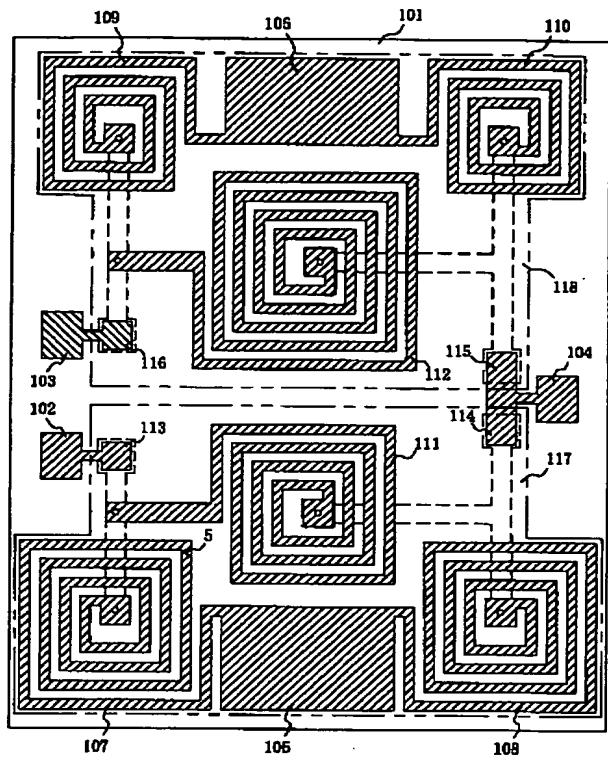
【図12】



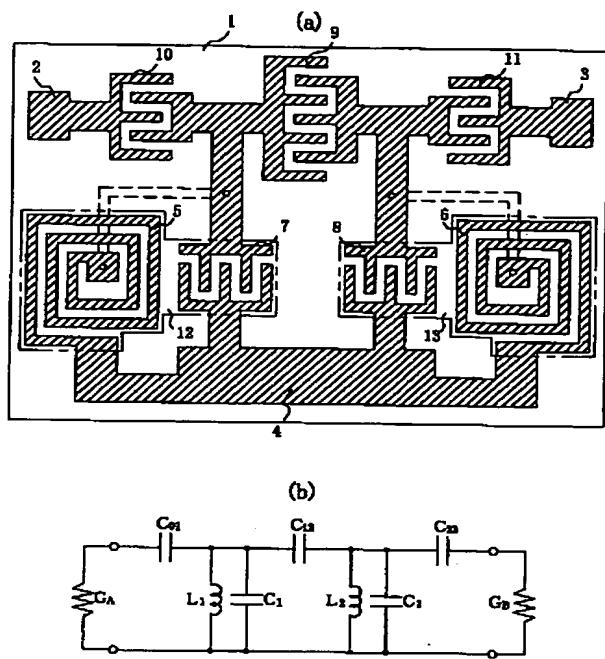
【図13】



【図11】



【図14】



This Page is inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT OR DRAWING
- BLURED OR ILLEGIBLE TEXT OR DRAWING
- SKEWED/SLANTED IMAGES
- COLORED OR BLACK AND WHITE PHOTOGRAPHS
- GRAY SCALE DOCUMENTS
- LINES OR MARKS ON ORIGINAL DOCUMENT
- REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.
As rescanning documents *will not* correct images
problems checked, please do not report the
problems to the IFW Image Problem Mailbox